

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-268558

(43)Date of publication of application : 29.09.2000

(51)Int.Cl. G11C 11/22
G11C 14/00

(21)Application number : 11-314353

(71)Applicant : **HYUNDAI ELECTRONICS IND CO LTD**

(22)Date of filing : 04.11.1999

(72)Inventor : **KYO KIFUKU**

(30)Priority

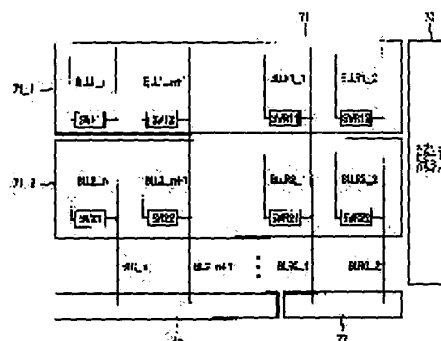
Priority number : 98 9847024 Priority date : 03.11.1998 Priority country : KR

(54) NONVOLATILE FEPROELECTRIC MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To extend the service life of a memory device by interposing a switching element among a plurality of main global bit lines formed in a direction crossing a plurality of sub arrays, a couple of reference global bit lines and between main local bit lines and reference local bit lines so as to make the number of accesses to main cells and reference cells equal to each other.

SOLUTION: A main cell array section 71 consists of a plurality of sub array sections 71 1, 71 2,... Global bit lines BLG n, BLG n+1,... are connected to a main bit controller 75 and reference global bit lines BLRG 1, BLRG 2,... are connected to a reference bit line controller 77. Switching elements SW11, 12 are placed among the main local bit lines BLL and the main global bit lines BLG and placed among the reference local bit lines BLLR and the reference global bit lines BLRG.



LEGAL STATUS

[Date of request for examination]

23.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-268558
(P2000-268558A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 11/22		G 1 1 C 11/22	
14/00		11/34	3 5 2 A

審査請求 未請求 請求項の数17 O L (全 23 頁)

(21) 出願番号 特願平11-314353

(22) 出願日 平成11年11月4日 (1999. 11. 4)

(31) 優先権主張番号 4 7 0 2 4 / 1 9 9 8

(32) 優先日 平成10年11月3日 (1998. 11. 3)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 姜 熙 福

大韓民国太田市西区桃馬洞359-27陽地タ
ウン3-401

(74) 代理人 100064621

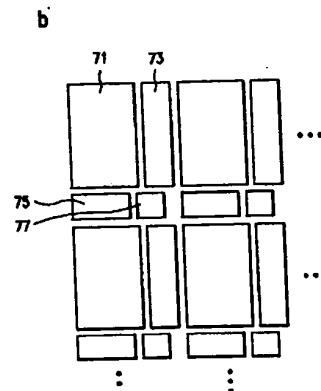
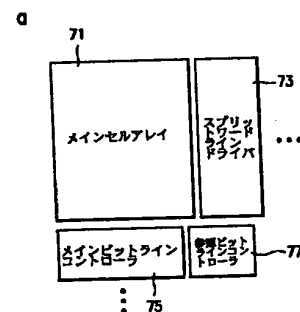
弁理士 山川 政樹

(54) 【発明の名称】 不揮発性強誘電体メモリ装置

(57) 【要約】

【課題】 本発明は、メインセルと参照セルのアクセスされる数を同じくすることで、寿命を延長した不揮発性強誘電体メモリ装置を提供する。

【解決手段】 複数のサブセルアレイで構成させ、メイングローバルビットライン及び少なくとも一対の参照グローバルビットラインとを用意し、サブアレイ内でそれぞれのメイングローバルビットライン及び参照グローバルビットラインに接続されるメインローカルビットライン及び参照ローカルビットラインをグループ分けして接続した。その際、各ローカルビットラインとグローバルビットラインの間にスイッチング素子を設け、ローカルビットラインを選択できるように接続した。



【特許請求の範囲】

【請求項1】 複数のサブセルアレイと、前記各サブセルアレイを横切る方向に形成される複数のメイングローバルビットライン及び少なくとも一対の参照グローバルビットラインと、前記各メイングローバルビットライン及び参照グローバルビットラインに対応して形成されるメインローカルビットライン及び参照ローカルビットラインと、前記各ローカルビットラインと該グローバルビットラインの間に構成されるスイッチング素子を含むメインセルアレイ部；前記メインセルアレイ部の下部又は上部に形成され、前記一対の参照グローバルビットラインのうち、1本のビットラインを介して印加される信号をセンシングして参照電圧を出力する参照センスアンプで構成される参照ビットラインコントローラ；前記参照ビットラインコントローラの一侧に形成され、前記メイングローバルビットラインごとに連結され前記参照電圧を受けてグローバルビットラインを介して印加される信号をセンシングする複数のメインセンスアンプで構成されるメインビットラインコントローラ；前記メインセルアレイ部の一侧に形成されるスプリットワードライン駆動部を含むことを特徴とする不揮発性強誘電体メモリ装置。

【請求項2】 前記サブセルアレイ部は第1スプリットワードラインと第2スプリットワードラインとが一対になって前記グローバルビットラインと交差する方向に複数の対が形成されるスプリットワードライン対と、奇数番目メインローカルビットラインに連結され、複数の前記第1スプリットワードラインと第2スプリットワードラインの間ごとに形成される第1単位セルと、偶数番目メインローカルビットラインに連結され、複数の前記第1スプリットワードラインと第2スプリットワードラインの間ごとに形成される第2単位セルをさらに含むことを特徴とする請求項1に記載の不揮発性強誘電体メモリ装置。

【請求項3】 前記第1単位セルはゲート端子が前記第1スプリットワードライン（SWL1）に連結され、ソース端子が前記奇数番目ローカルビットラインに連結され、ドレイン端子と前記第2スプリットワードライン（SWL2）の間に第1強誘電体キャパシタ（FC1）が構成されることを特徴とする請求項2に記載の不揮発性強誘電体メモリ装置。

【請求項4】 前記第2単位セルはゲート端子が前記第2スプリットワードライン（SWL2）に連結され、ソース端子は前記偶数番目ローカルビットラインに連結され、ドレイン端子と前記第1スプリットワードライン（SWL1）との間に第2強誘電体キャパシタ（FC2）が構成されることを特徴とする請求項2に記載の不揮発性強誘電体メモリ装置。

【請求項5】 前記メインビットラインコントローラは前記隣接したグローバルビットラインを互いに一定レベ

ルにプリチャージさせるビットラインプリチャージ回路部をさらに含むことを特徴とする請求項1に記載の不揮発性強誘電体メモリ装置。

【請求項6】 前記任意のグローバルビットラインには該ローカルビットラインに連結された複数の単位セルのうち、一つの単位セルのデータのみが選択的に印加されることを特徴とする請求項2に記載の不揮発性強誘電体メモリ装置。

【請求項7】 前記ビットラインプリチャージ回路部は複数のグローバルビットラインと、各グローバルビットラインの間に構成されたビットライン等化スイッチ部と、前記ビットラインをプリチャージさせるプリチャージ信号を、前記各々のグローバルビットラインにスイッチングする複数のビットラインプリチャージスイッチ部とを含むことを特徴とする請求項5に記載の不揮発性強誘電体メモリ装置。

【請求項8】 前記プリチャージ信号はソースが電源端に連結され、活性化信号によりコントロールされる第1 PMOSトランジスタと、

ソースが前記第1 PMOSトランジスタのドレインに連結され、ドレインとゲートが共通に連結される第2 PMOSトランジスタと、

前記第1 PMOSトランジスタのドレインに対して前記第2トランジスタとともに並列的に連結され、ゲートが前記第2 PMOSトランジスタのゲートと共通に連結される第1 NMOSトランジスタと、

前記第2 PMOSトランジスタに直列に連結され、ゲートは前記第2 PMOSトランジスタのドレインに連結される第2 NMOSトランジスタと、

前記第1 NMOSトランジスタのドレインにゲートとドレインが共通に連結され、ソースは接地端に連結される第3 NMOSトランジスタと、

前記第1 NMOSトランジスタのドレインにゲートが連結され、前記ドレイン電圧によりコントロールされる第4 NMOSトランジスタと、

前記第4 NMOSトランジスタと向き合うように構成され、ドレインが前記第4 NMOSトランジスタのドレインと共通に連結される第5 NMOSトランジスタと、

前記第4、第5 NMOSトランジスタの共通ドレインに連結され、ソースは接地端に連結される第6 NMOSトランジスタと、

前記第4 NMOSトランジスタのソースと前記第1 PMOSトランジスタのドレインの間に連結される前記第4 PMOSトランジスタと、

前記第5 NMOSトランジスタのソースと前記第1 PMOSトランジスタのドレインの間に連結される第5 PMOSトランジスタと、

前記第1 PMOSトランジスタのドレインに対して前記第1 NMOSトランジスタとともに並列的に構成され、

3

ドレインとゲートが共通に連結される第3 PMOS トランジスタと、

前記第3 PMOS トランジスタのゲートと向き合うように構成され、ゲートが前記第3 PMOS トランジスタのゲートと共通に連結される前記第7 NMOS トランジスタと、ゲートが前記第7 NMOS トランジスタのドレインに連結され、ソースは前記第3 PMOS トランジスタのドレインに連結される第8 NMOS トランジスタと、前記第4 PMOS トランジスタのドレイン電圧によりコントロールされ、前記第7 NMOS トランジスタと直列に連結される第9 NMOS トランジスタと、

前記第9 NMOS トランジスタのドレインにエミッタが連結され、コレクタとベースが共通に接地端に連結されるバイポーラトランジスタとで構成されるビットラインプリチャージレベル供給部から出力されることを特徴とする請求項7に記載の不揮発性強誘電体メモリ装置。

【請求項9】 前記参照センスアンプは、参照グローバルビットラインを介して印加される信号のレベルをシフトさせるレベルシフターと、

前記参照グローバルビットラインをプルダウンさせるプルダウンコントローラで構成され、前記レベルシフターは、レベルシフターをイネーブルさせるイネーブル信号によりコントロールされ、ソースが電源端に連結された第1 PMOS トランジスタと、

前記第1 PMOS トランジスタのドレインから分岐接続された第2 PMOS トランジスタMP2及び第3 PMOS トランジスタと、

参照グローバルビットラインによりコントロールされ、前記第2 PMOS トランジスタと連結された第1 NMOS トランジスタと、

前記第1 NMOS トランジスタと前記第3 PMOS トランジスタの間に構成された第2 NMOS トランジスタと、

前記第1 NMOS トランジスタと接地端の間に連結された第3 NMOS トランジスタと、

前記第1 PMOS トランジスタと前記第2 NMOS トランジスタの間で前記第3 PMOS トランジスタと並列的に形成された第4 PMOS トランジスタと、

前記第3 PMOS トランジスタの出力信号によりコントロールされ、ソースが前記第1 PMOS トランジスタに連結される第4 NMOS トランジスタと、

前記接地端と前記第4 NMOS トランジスタの間に形成された第5 NMOS トランジスタと、

前記第1 PMOS トランジスタと出力端の間に形成された第5 PMOS トランジスタと、

前記グローバルビットラインの信号によりコントロールされる第6 NMOS トランジスタと、

前記第6 NMOS トランジスタと前記第1 PMOS トランジスタの間に形成された第6 PMOS トランジスタと、

4

ゲートが前記第6 PMOS トランジスタのゲートと共通に連結され、ソースは前記第1 PMOS トランジスタのドレインに連結される第7 PMOS トランジスタと、

前記第6 NMOS トランジスタと前記第7 PMOS トランジスタの間に形成された第7 NMOS トランジスタと、

前記接地端と前記第7 NMOS トランジスタの間で前記第6 NMOS トランジスタと並列に連結される第8 NMOS トランジスタとを含むことを特徴とする請求項1に記載の不揮発性強誘電体メモリ装置。

【請求項10】 前記メインセンスアンプは上部のメインセルと連結されるグローバルビットライン及び下部のメインセルと連結されるグローバルビットラインにソースが連結された第1 NMOS トランジスタと、

前記上部の参照セルに連結された参照グローバルビットライン及び下部の参照セルに連結された参照グローバルビットラインにソースが連結され、ゲートは前記第1 NMOS トランジスタのゲートに共通連結された第2 NMOS トランジスタと、

前記第1 NMOS トランジスタを介して入る信号電圧を増幅する第3 NMOS トランジスタと、

前記第2 NMOS トランジスタを介して入る基準電圧を増幅する第4 NMOS トランジスタと、

ソースがそれぞれ電源端に連結され、ドレインは第1 NMOS トランジスタの出力端と第2 NMOS トランジスタの出力端にそれぞれ連結される第1 PMOS トランジスタ及び第2 PMOS トランジスタと、

センスアンプ等化信号により前記第1 NMOS トランジスタの出力端と前記第2 NMOS トランジスタの出力端を等しくさせる第3 PMOS トランジスタとを含むことを特徴とする請求項1に記載の不揮発性強誘電体メモリ装置。

【請求項11】 前記第1 PMOS トランジスタのドレインは第2 PMOS トランジスタのゲートに連結され、前記第2 PMOS トランジスタのドレインは前記第1 PMOS トランジスタのゲートに連結されることを特徴とする請求項10に記載の不揮発性強誘電体メモリ装置。

【請求項12】 前記第1 NMOS トランジスタのソースと前記上部のメインセルと連結されたグローバルビットラインの間に第5 NMOS トランジスタがさらに構成され、前記第1 NMOS トランジスタのソースと前記下部のメインセルと連結されたグローバルビットラインの間に第6 NMOS トランジスタがさらに構成され、前記第2 NMOS トランジスタのソースと前記上部の参照セルと連結された参照グローバルビットラインの間に第7 NMOS トランジスタが構成され、前記第2 NMOS トランジスタのソースと前記下部のメインセルと連結されたグローバルビットラインの間に第8 NMOS トランジスタがさらに構成されることを特徴とする請求項10に記載の不揮発性強誘電体メモリ装置。

5

【請求項 13】 前記センスアンプの出力端にはカラム選択信号によりデータバスと選択的にスイッチングする第 9 NMOS トランジスタと、

データバスと選択的にスイッチングする第 10 NMOS トランジスタがさらに構成されることを特徴とする請求項 10 に記載の不揮発性強誘電体メモリ装置。

【請求項 14】 前記カラム選択信号は読出しモードで前記第 1 スプリットワードラインと前記第 2 スプリットワードラインがともにハイである区間で、前記第 1、第 2 NMOS トランジスタを活性化させる信号 (SAL E) がハイレベルに遷移されると順次にハイレベルに遷移され、前記活性化させる信号 (SAL E) がローレベルに遷移させるまでに順次に遷移動作を行うことを特徴とする請求項 13 に記載の不揮発性強誘電体メモリ装置。

【請求項 15】 前記カラム選択信号は書き込みモードで前記第 1 スプリットワードラインと第 2 スプリットワードラインがともにハイである区間で、前記第 1、第 2 NMOS トランジスタを活性化させる信号 (SAL E) がハイレベルで遷移されると順次にハイレベルに遷移され、前記第 1 スプリットワードラインがローレベルに遷移されるまでに順次に遷移動作を行うことを特徴とする請求項 13 に記載の不揮発性強誘電体メモリ装置。

【請求項 16】 前記第 3 NMOS トランジスタと第 4 NMOS トランジスタは入力電圧を一次的に増幅する第 1 増幅部が構成され、前記第 1 増幅部から増幅された電圧は前記第 1 PMOS トランジスタと第 2 PMOS トランジスタからなる第 2 増幅部で 2 次増幅されることを特徴とする請求項 10 に記載の不揮発性強誘電体メモリ装置。

【請求項 17】 前記第 2 増幅部はラッチ回路を含み、前記ラッチ回路は PMOS と NMOS で構成される第 1 インバータと第 2 インバータとで構成され、前記第 1 インバータを構成している PMOS 及び NMOS トランジスタの共通ゲートは前記第 2 インバータを構成している PMOS トランジスタのドレインに連結され、前記第 2 インバータを構成している PMOS 及び NMOS トランジスタの共通ゲートは前記第 1 インバータを構成している PMOS トランジスタのドレインに連結されることを特徴とする請求項 16 に記載の不揮発性強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ装置に関し、具体的には不揮発性強誘電体メモリ装置に関する。

【0002】

【従来の技術】 一般的に、半導体記憶素子として広く使用される DRAM (Dynamic Random Access Memory) 程度のデータ処理速度を持ち、電源のオフ時にもデータが

6

保存される強誘電体メモリ、即ち、FRAM (Ferroelectric Random Access Memory) が次世代記憶素子として注目を浴びている。FRAM は DRAM と類似の構造の記憶素子であって、キャパシタの材料として強誘電体を使用し、強誘電体の特性である高い残留分極を用いたものである。このような残留分極特性により、電界を除去してもデータが消滅されない。

【0003】 図 1 は一般的な強誘電体のヒステリシスループを示す特性図である。図 1 のように、電界により誘起された分極が電界を除去しても残留分極 (又は自発分極) の存在によって消滅されずに一定量 (d、a 状態) を維持していることが分かる。d、a 状態をそれぞれ 1、0 に対応させ記憶素子として応用したのである。

【0004】 以下、従来の技術による不揮発性強誘電体メモリ素子を添付図面を参照して説明する。図 2 は、従来の技術の不揮発性強誘電体メモリ素子による単位セル構成図である。図 2 に示すように、このメモリ素子は、一方向に形成されたビットライン B/L と、ビットラインと交差する方向に形成されたワードライン W/L と、ワードラインに平行に一定間隔離して配置されたプレートライン P-L とを備えている。そのワードラインとプレートラインの対及び 1 本のビットラインにトランジスタとキャパシタとからなる単位セルが配置されている。いうまでもなく、単位セルはこれらのラインに多数配置されている。トランジスタ T1 はゲートがワードラインに、ソースがビットライン B/L に、ドレインがキャパシタ FC1 に接続されている。キャパシタ FC1 はトランジスタ T1 のドレインとプレートライン P-L との間に接続されている。

【0005】 以下、このような従来の強誘電体メモリ装置による駆動回路を説明する。図 3 は従来の強誘電体メモリ素子を駆動するための駆動回路を示す。従来 1T/1C 構造の強誘電体メモリを駆動するための駆動回路は、参照電圧を発生する参照電圧発生部 1 と、参照電圧安定化部 2 と、第 1 参照電圧記憶部 3 と、第 1 等化部 4 と、第 1 メインセルアレイ部 5、第 1 センスアンプ部 6 と、第 2 メインセルアレイ部 7 と、第 2 参照電圧記憶部 8 と、第 2 センスアンプ部 9 とを含む。参照電圧安定化部 2 は、参照電圧発生部 1 から出力される参照電圧を直ちにセンスアンプに供給することができないので、隣接した二つのビットラインの参照電圧を安定化させるためのもので、複数のトランジスタ Q1~Q4、キャパシタ C1 からなる。第 1 参照電圧記憶部 3 は、前記した単位セル構造のトランジスタ Q6、Q7 とキャパシタ C2、C3 からなり、それぞれ接続されたビットラインにロジック値 “1” と “0” の参照電圧を記憶している。第 1 等化部 4 はトランジスタ Q5 からなり、隣接した二つのビットラインを等電位化させる。第 1 メインセルアレイ部 5 は、前記した単位セル構成がワードラインとプレートラインに連結されデータを記憶する。第 1 センスアンプ

ブ部6は、複数のトランジスタQ10～Q15、P-センスアンプPSAなどからなり、第1メインセルアレイ部5の複数のセルのうちワードラインにより選択されたセルのデータをセンシングする。第2メインセルアレイ部7は、第1アレイ部同様にデータを記憶する。第2参照電圧記憶部8も、同様に単位セル構造のトランジスタQ28～Q29、キャパシタC9～C10などからなり、接続されたビットラインにそれぞれロジック値“1”と“0”の参照電圧を記憶している。第2センスアンプ部9は複数のトランジスタQ16～Q25、N-センスアンプNSA等からなり、第2メインセルアレイ部7のデータをセンシングして出力する。

【0006】このように構成された従来の強誘電体メモリ素子によるデータの入出力動作に付いて説明する。図4は、従来の技術による強誘電体メモリ素子の書込みモードの動作を示すタイミング図であり、図5は、読出しモードの動作を示すタイミング図である。まず、書込みモードの場合、外部から印加されるチップイネーブル信号CSBpadがハイからローに活性化され、同時に書込みイネーブル信号WEBpadをハイからローに遷移させて書込みモードが始まる。次いで、書込みモードでのアドレスデコードが始まると、ワードラインに印加されるパルスが“ロー”から“ハイ”に遷移されてセルが選択される。このように、ワードラインが“ハイ”状態を維持している区間で、プレートラインには一定区間の“ハイ”信号と一定区間の“ロー”信号が順に印加される。そして、選択されたセルにロジック値“1”又は“0”を書くために、ビットラインに書込みイネーブル信号WEBpadに同期する“ハイ”又は“ロー”信号を印加する。即ち、ビットラインに“ハイ”信号を印加し、ワードラインに印加される信号が“ハイ”状態の区間でプレートラインに印加される信号が“ロー”であれば、強誘電体キャパシタにはロジック値“1”が記録される。そして、ビットラインに“ロー”信号を印加し、プレートラインに印加される信号が“ハイ”信号であれば、強誘電体キャパシタにはロジック値“0”が記録される。

【0007】このような書込みモードの動作によりセルに記憶されたデータを読み出すための動作は次の通りである。まず、外部でチップイネーブル信号CSBpadを“ハイ”から“ロー”に活性化させると、ワードラインが選択される前に、まず全てのビットラインを等化信号により“ロー”電圧にする。

【0008】即ち、図3で、等化部4に“ハイ”信号を印加し、トランジスタQ16～Q19に“ハイ”信号を印加すると、ビットラインはトランジスタQ19を介して接地されるので、低電圧Vssとされる。そして、トランジスタQ5、Q16～Q19をオフさせ各ビットラインを不活性化させた後、アドレスをデコードし、デコードされたアドレスによってワードラインが“ハイ”に

遷移されセルを選択する。選択されたセルのプレートラインに“ハイ”信号を印加し、強誘電体メモリに記憶されたロジック値“1”に対応するデータを破壊させる。もし、強誘電体メモリにロジック値“0”が記憶されていれば、それに対応するデータは破壊されない。

【0009】このように、破壊されたデータと破壊されてないデータは、前記のヒステリシスループの原理によって異なる値を出力し、センスアンプはロジック値“1”又は“0”をセンシングする。即ち、データが破壊された場合は、図1のヒステリシスループのdからfに変更される場合であり、データが破壊されてない場合は、aからfに変更される場合である。従って、一定時間が経過した後センスアンプがイネーブルされると、データが破壊された場合は、増幅されてロジック値“1”を出力し、データが破壊されてない場合は、ロジック値“0”を出力する。

【0010】このように、センスアンプからデータを出した後は、元のデータに戻さなければならないので、ワードラインに“ハイ”信号を印加した状態でプレートラインを“ハイ”から“ロー”に不活性化させる。

【0011】このような1T/1C構造を有する従来の強誘電体メモリ素子においては、データの入出力動作時、参照セルがメインセルより多く動作しなければならない。

【0012】

【発明が解決しようとする課題】上記のような従来の強誘電体メモリ装置は次のような問題点があった。強誘電体膜の特性が完璧な状態ではない。したがって、一つの参照セルがメモリアレイのセルよりも約数百倍以上多くの回数メインセルの読み出し動作時に使用されるように構成されているため、参照セルはメインセルよりさらに多く動作しなければならない。そのゆえ、参照セルの特性が急激に悪化し、参照電圧が安定しない。したがって、素子の動作特性を悪化させ、寿命を短縮させる。

【0013】本発明は、上記の従来技術の問題点を解決するために成されたもので、メインセルと参照セルのアクセスされる数をほぼ同じくすることで、参照セルによるビットライン誘導電圧とメインセルによるビットライン誘導電圧を一定に維持させて動作特性を向上させ、寿命を延長させることができるような不揮発性強誘電体メモリ装置を提供することが目的である。

【0014】

【課題を解決するための手段】上記の目的を達成するための本発明の第1実施態様による不揮発性強誘電体メモリ装置は、複数のサブセルアレイと、前記各サブセルアレイを横切る方向に形成される複数のメイングローバルビットライン及び少なくとも一対の参照グローバルビットラインと、前記各メイングローバルビットライン及び

参照グローバルビットラインに対応して形成されるメインローカルビットライン及び参照ローカルビットラインと、前記各ローカルビットラインと該グローバルビットラインの間に構成されるスイッチング素子を含むメインセルアレイ部；前記メインセルアレイ部の下部又は上部に形成され、前記一对の参照グローバルビットラインのうち、一ビットラインを介して印加される信号をセンシングして参照電圧を出力する参照センスアンプで構成される参照ビットラインコントローラ；前記参照ビットラインコントローラの一側に形成され、前記メイングローバルビットラインごとに連結され前記参照電圧を受けて該グローバルビットラインを介して印加される信号をセンシングする複数のメインセンスアンプで構成されるメインビットラインコントローラ；前記メインセルアレイ部の一側に形成されるスプリットワードラインである駆動部を含み、本発明の第2実施態様による不揮発性強誘電体メモリ装置は、複数のサブセルアレイと、前記各サブセルアレイを横切る方向に形成される複数のメイングローバルビットライン及び少なくとも一对の参照グローバルビットラインと、前記各メイングローバルビットライン及び参照グローバルビットラインに対応して形成されるメインローカルビットライン及び参照ローカルビットラインと、前記各ローカルビットラインと該グローバルビットラインの間に構成されるスイッチング素子を含むメインセルアレイ部；前記メインセルアレイ部の上部に形成され、前記一对の参照グローバルビットラインのうち、一ビットラインを介して印加される信号をセンシングして第1参照電圧を出力する第1参照センスアンプで構成される第1参照ビットラインコントローラ；前記メインセルアレイ部の下部に形成され、第1参照電圧と同一電圧を出力する第2参照センスアンプからなる第2参照ビットラインコントローラ；前記第1参照ビットラインコントローラの一側に形成され、前記複数のメイングローバルビットラインのうち、偶数番目メイングローバルビットラインごとに連結され、前記第1参照電圧を受けて該グローバルビットラインを介して印加される信号をセンシングするメインセンスアンプで構成される第1メインビットラインコントローラ；前記第2参照ビットラインコントローラの一側に形成され、前記複数のメイングローバルビットラインのうち、奇数番目メイングローバルビットラインごとに連結され、前記第2参照電圧を受けて該グローバルビットラインを介して印加される信号をセンシングするメインセンスアンプで構成される第2メインビットラインコントローラ；前記メインセルアレイ部の一側に形成されるスプリットワードライン駆動部を含むことを特徴とする。

【0015】

【発明の実施の形態】以下、本発明実施形態の不揮発性強誘電体メモリ装置を添付図面に基づいて説明する。本明細書における方向を示す上下、左右などはいずれも単

に図面での方向を示すもので素子の絶対的な方向を示すものではない。図6は、二つの単位セルからなる本発明の不揮発性強誘電体メモリセルの構成図である。本実施形態は、ワードラインとプレートラインとで構成させずに、1本のラードラインを二つの分岐させて、ワードラインを第1スプリットワードラインSWL1と、第2スプリットワードラインSWL2とで構成させている。スプリットワードラインSWL1、SWL2に交差する方向に互いに一定の間隔でビットラインが配置されている。図では、第1ビットラインBit#nと第2ビットラインBit#n+1とが表示されている。一つの単位セルは、第1スプリットワードラインSWL1にゲート端子が連結され、ソース端子が第1ビットラインBit#nに連結され、ドレイン端子が第1強誘電体キャパシタFC1の一方の端子に連結される第1スイッチングトランジスタT1と第1強誘電体キャパシタFC1とで構成されている。ここで、第1強誘電体キャパシタFC1の他の一側端子は第2スプリットワードラインSWL2に連結されている。他方の単位セルは、同様にトランジスタT2とキャパシタFC2とで構成されているが、そのスイッチングトランジスタT2は、ゲート端子が第2スプリットワードラインSWL2に連結され、ソース端子が第2ビットラインBit#n+1に連結され、ドレイン端子は第2強誘電体キャパシタFC2に連結される。第2強誘電体キャパシタFC2の他の端子は第1スプリットワードラインSWL1に連結される。このように、本実施形態による不揮発性強誘電体メモリセルの基本構成は、2本のスプリットワードラインと2本のビットライン、そして各ビットラインとワードラインの間に構成された二つのスイッチングトランジスタ及び二つの強誘電体キャパシタからなる。

【0016】一方、図7は図6に図示されたメモリセルを1T/1C構造の単位セルで分離して示したものであって、図7aと図7bを結合すると、二つの単位セルを一对とするメモリセルの基本構成が形成される。単位セルC111は、図7aに示すように、第1スプリットワードラインSWL1と、それに平行に配列される第2スプリットワードラインSWL2と、第1、第2スプリットワードラインSWL1、SWL2と交差する方向に配列される第1ビットラインBit#nと、ゲート端子が第1スプリットワードラインSWL1に連結され、ソース端子が第1ビットラインBit#nに連結される第1トランジスタT1と、第1トランジスタT1のドレイン端子と第2スプリットワードラインSWL2の間に接続された第1強誘電体キャパシタFC1とで構成される。

【0017】そして、他方の単位セルC121は、図7bに示すように、第1スプリットワードラインSWL1と、それに並列に配列される第2スプリットワードラインSWL2と、第1、第2スプリットワードラインSWL1、SWL2に交差する方向に配列される第2ビット

ラインBit_{n+1}と、ゲート端子が第2スプリットワードラインSWL2に連結され、ソース端子は第2ビットラインBit_{n+1}に連結される第2トランジスタT2と、第2トランジスタT2のドレイン端子と第1スプリットワードラインSWL1の間に接続された第2強誘電体キャパシタFC2とで構成される。本発明による不揮発性メモリセルアレイ部は、図6のように、二つの単位セルが一对となり連続的に繰り返して構成される。

【0018】以下、前記のような単位セルを利用した本実施形態の不揮発性強誘電体メモリ装置をより詳細に説明する。図8aは本発明の第1実施形態による不揮発性強誘電体メモリ装置のセルアレイを示すブロック構成図である。図8aに示すように、メインセルアレイ部71と、その右隣に形成されたスプリットワードラインドライバ部73と、メインセルアレイ部71の下側に形成されたメインビットラインコントローラ75と、メインビットラインコントローラ75右隣に形成された参照ビットラインコントローラ77とを含む。ここで、メインセルアレイ部71は、複数のセルアレイ部から成っている。

【0019】このような図8aの構成を反復的に構成すると図8bのような構造となる。

【0020】一方、図9は、本発明によるメインセルアレイ部の詳細構成図であって、前述したように、メインセルアレイ部は複数のセルアレイ部（以下、“サブセルアレイ部”）で構成される。この複数のサブセルアレイ部71_1、71_2、71_3、...、71_nのうち活性化されるサブセルアレイ部はただ一つである。

【0021】図10は、図9をより詳細に示す図面である。図10に示すように、各サブセルアレイ部71_1、71_2、...を横切るようにグローバルビットラインBLG_n、BLG_{n+1}、...が配置されている。そして、各サブセルアレイ部71_1、71_2、...内には、グローバルビットラインBLG_n、BLG_{n+1}、...に対応させてローカルビットラインBLL1_n、BLL2_n、...、BLLn_nが配置されている。即ち、各ローカルビットラインとグローバルビットラインの間には、スイッチング素子SWL11、SWL12、...、SWL1n/SWL21、SWL22、...、SWL2n/SWLn1、SWLn2、...、SWLn_nが構成され、スイッチング素子によりローカルビットラインとグローバルビットラインとが電気的に連結されている。

【0022】図11は一つのサブセルアレイ部をより詳細に示すものである。図11に示すように、第1スプリットワードラインSWL1と第2スプリットワードラインSWL2からなる一对のスプリットワードラインが反復的に配置されている。そして、スプリットワードラインSWL1、SWL2と交差する方向に複数のグロー

バルビットラインBLG_n、BLG_{n+1}、...が形成されるが、2本のグローバルビットラインBLG_n、BLG_{n+1}が対となっている。この対とされた2本のうち1本のグローバルビットラインBLG_nには、図7aのように構成された単位セルC111、C112、...、C11nが連結され、また他のグローバルビットラインBLG_{n+1}に、図7bのように構成された単位セルC121、C122、...、C12nが連結される。このように、2本のグローバルビットラインBLG_n、BLG_{n+1}と2本のスプリットワードラインSWL1、SWL2、そして二つのスイッチングトランジスタT1、T2と二つの強誘電体キャパシタFC1、FC2からなる一对のメモリセルが反復的に構成され、一つのサブセルアレイ部71_1を成す。

【0023】上記のように構成されたサブアレイ部のセルを選択する過程は次の通りである。前述したように、メインセルアレイ部は図11のように成るサブセルアレイ部の反復的構成により成される。

【0024】このような複数のサブセルアレイ部のうち、一つのサブセルアレイ部のみが活性化されるが、そのうち一对のスプリットワードラインのみが活性化される。したがって、ある一对のスプリットワードラインが活性化されると、前記活性化されたスプリットワードラインに連結された単位セルに記憶されたデータは、ローカルビットラインを介してグローバルビットラインに伝達される。複数のグローバルビットラインには、ローカルビットラインを介して伝達されたデータが印加され、再び前記活性化されたスプリットワードラインに連結されビットラインコントローラ（図示しない）に伝達される。ビットラインコントローラは、前述したように、各グローバルビットラインごとに連結されるセンスアンプ（図示しない）で構成される。したがって、複数のセンスアンプのうち、一つのセンスアンプから出力されるデータのみがデータラインを介して外部に出力される。

【0025】図12は図8aの詳細構成図であり、前述したように、メインセルアレイ部71は複数のサブセルアレイ部71_1、71_2、...からなる。そして、サブセルアレイ部71_1、71_2、...を横切るメイングローバルビットラインBLG_n、BLG_{n+1}、...はメインビットラインコントローラ75と連結され、参照グローバルビットラインBLRG₁、BLRG₂は参照ビットラインコントローラ77と連結されている。ここで、参照ビットラインコントローラ77は二つの参照グローバルビットラインBLRG₁、BLRG₂を備えている。

【0026】図面にも示したように、各サブセルアレイ部内には、メイングローバルビットラインと対応してローカルビットラインが配置されている。1本のメイングローバルビットラインBLG_nには、複数のメインロ

ーカルビットラインBLR1_n, BLR2_n, . . . が連結される。そして、メインローカルビットラインとメイングローバルビットラインの間にはスイッチング素子SW11, SW21, . . . が配置されている。

【0027】一方、参照グローバルビットラインBLRG₁, BLRG₂には、参照ローカルビットラインBLR1₁, BLR1₂/BLR2₁, BLR2₂/, . . . /BLRn₁, BLRn₂が接続されている。そして、各参照ローカルビットラインと参照グローバルビットラインBLRG₁, BLRG₂の間には、スイッチング素子SWR11, SWR12/SWR21, SWR22/SWRn1, SWRn2, . . . が配置される。

【0028】したがって、サブセルアレイ部71₁, 71₂, . . . のうち任意のサブセルアレイ部が選択されると、サブセルアレイ部内のメインローカルビットラインからメイングローバルビットラインに連結され、最終的にメインビットラインコントローラ75にデータが伝達される。

【0029】これと同様に、サブセルアレイ部内の参照ローカルビットラインが参照グローバルビットラインに連結され、最終的に参照ビットラインコントローラ77にデータが伝達される。

【0030】一方、図13は図8aの構成ブロックのうち、メインビットラインコントローラと参照ビットラインコントローラを中心により詳細に示した。図13に示すように、メイングローバルビットラインBLG_n, BLG_{n+1}, . . . に対応してそれぞれメインセンスアンプSA1, SA2, . . . (75₁, 75₂, . . .)が連結される。2本の参照グローバルビットラインBLRG₁, BLRG₂のうち一方が参照センスアンプ77aに連結され、参照センスアンプ77aから出力する参照電圧CREFがそれぞれのメインセンスアンプ75₁, 75₂, . . . に共通に印加される。このとき、互いに隣接したメイングローバルビットラインBLG_nとBLG_{n+1}又はBLG_{n+1}とBLG_{n+2}, . . . の間には、ビットラインプリチャージ回路部76₁, 76₂, . . . (BPC)が配置される。ここで、最後のメイングローバルビットラインBLG_{n+n}と参照センスアンプ77aに連結された参照グローバルビットラインBLRG₂の間にもビットラインプリチャージ回路部77₁が形成される。そして、参照センスアンプ77aに連結されない1本の参照グローバルビットラインBLRG₁には、一定の電圧が印加される。

【0031】一方、図14は本発明の第1実施形態によるビットラインプリチャージ回路部をより詳細に示したものである。図14に示すように、複数のグローバルビットラインBLG_n, BLG_{n+1}, . . . と、各

グローバルビットラインBLG_n, BLG_{n+1}, . . . の間に構成されたビットライン等化スイッチ部78₁, 78₂, . . . (BQESW)と、ビットラインプリチャージレベル供給部(図示しない)から出力される信号BEQLEVをそれぞれのグローバルビットラインBLG_n, BLG_{n+1}, . . . にスイッチングする複数のビットラインプリチャージスイッチ部79₁, 79₂, . . . (BPCSW)とを含む。ここで、ビットライン等化スイッチ部78₁, 78₂, . . . やビットラインプリチャージスイッチ部79₁, 79₂, . . . はNMOSトランジスタを含む。したがって、ビットラインプリチャージレベル供給部から出力される信号のレベルは、そのNMOSトランジスタのしきい値電圧と同一であるか多少高い。

【0032】結果的にビットラインプリチャージレベル供給部の出力信号は、ビットラインプリチャージスイッチ部79₁, 79₂, . . . を介してグローバルビットラインのレベルをプリチャージさせる。そして、ビットライン等化スイッチ部78₁, 78₂, . . .

は、スイッチ制御信号により、ターンオンとなり、隣接した二つのグローバルビットラインを同一レベルに等しくさせる。一方、図15はビットラインプリチャージレベルを供給するビットラインプリチャージレベル供給部の詳細構成図である。

【0033】図15に示すように、ソースが電源端V_{cc}に連結され、ビットラインプリチャージレベル供給部を活性化させるための活性化信号EQLENによりコントロールされる第1PMOSトランジスタMP1と、ソースが前記第1PMOSトランジスタMP1のドレインに連結され、ドレインとゲートが共通に連結される第2PMOSトランジスタMP2と、第1PMOSトランジスタMP1のドレインに対して第2PMOSトランジスタMP2と共に並列的に連結され、ゲートが第2PMOSトランジスタMP2のゲートと共通に連結される第1NMOSトランジスタMN1と、第2PMOSトランジスタMP2に直列に連結され、ゲートは第2PMOSトランジスタMP2のドレインに連結される第2NMOSトランジスタMN2と、第1NMOSトランジスタMN1のドレインにゲートとドレインが共通に連結され、ソースは接地端V_{ss}に連結される第3NMOSトランジスタMN3と；前記第1NMOSトランジスタMN1のドレインにゲートが連結され、前記ドレイン電圧によりコントロールされる第4NMOSトランジスタMN4と、第4NMOSトランジスタMN4と向き合うように構成され、ドレインが前記第4NMOSトランジスタMN4のドレイと共通に連結される第5NMOSトランジスタMN5と；ドレインが第4, 第5NMOSトランジスタMN4, MN5の共通ドレインに連結され、ソースは接地端に連結される第6NMOSトランジスタMN6と、第4NMOSトランジスタMN4のソースと第1P

MOSトランジスタMP1のドレインの間に連結される第4PMOSTランジスタMP4と、第5NMOSTランジスタMN5のソースと第1PMOSTランジスタMP1のドレインの間に連結される第5PMOSTランジスタMP5と、第1PMOSTランジスタMP1のドレインに対して前記第1NMOSTランジスタMN1と共に並列的に構成され、ドレインとゲートが共通に連結される第3PMOSTランジスタMP3と、第3PMOSTランジスタMP3と向き合うように構成され、ゲートが第3PMOSTランジスタMP3のゲートと共通に連結される第7NMOSTランジスタMN7と、ゲートが第7NMOSTランジスタMN7のドレインに連結され、ソースは第3PMOSTランジスタMP3のドレインに連結される第8NMOSTランジスタMN8と、第4PMOSTランジスタMP4のドレイン電圧によりコントロールされ、第7NMOSTランジスタMN7と直列に連結される第9NMOSTランジスタMN9と、第9NMOSTランジスタMN9のドレインにエミッタが連結され、コレクタとベースが共通に接地端に連結されるバイポーラトランジスタPNP1とを含んむ。ここで、第5NMOSTランジスタMN5は、ビットラインをプリチャージさせるビットラインプリチャージ電圧によりコントロールされる。以下、ビットラインプリチャージレベル供給部の動作をより詳細に説明する。

【0034】図15に示すように、ビットラインプリチャージレベル供給部の活性化信号が正常動作時ローに遷移すると、第1PMOSTランジスタMP1が活性化され、ノードN1の電位をハイレベルにさせる。最初、第2NMOSTランジスタMN2のドレイン側電圧、すなわちノードN2がローであれば、第2PMOSTランジスタMP2がオンとなり、ノードN2のレベルも上昇する。したがって、ノードN2にゲートが連結された第1NMOSTランジスタMN1がオンとなり、ノードN3のレベルが上昇する。ノードN3のレベルが第3NMOSTランジスタMN3のしきい値電圧以上に上昇すると、第3NMOSTランジスタMN3はオンとなり、電流を接地端に放出する。したがって、ノードN3のレベルはしきい値電圧に固定される。そして、ノードN3のレベルによって第2NMOSTランジスタMN2がオンとなり、ノードN2のレベルは次第に低くなる。ノードN2のレベルが低くなると、第1NMOSTランジスタMN1のオン抵抗が大きくなり、結局ノードN3に供給する電流は小さくなる。したがって、第1NMOSTランジスタMN1及び第2PMOSTランジスタMP2と、第2NMOSTランジスタMN2及び第3NMOSTランジスタMN3のフィードバックループを利用してしきい値電圧レベルを持つノードN3の電圧を得る。

【0035】一方、最初ノードN7がローであれば、第3PMOSTランジスタMP3がオンとなり、ノードN7のレベルが上昇する。ノードN7のレベルが第7NM

OSTランジスタMN7のしきい値電圧以上に上昇すると、第7NMOSTランジスタMN7がオンとなり、ノードN8に連結されたバイポーラトランジスタPNP1を介して電流を接地端に放出する。したがって、ビットラインプリチャージレベル供給部の出力端のレベルは、ノードN3のレベルのようなしきい値電圧水準に固定される。ここで、バイポーラトランジスタPNP1は、コレクタとベースが共通に接地端に連結され、エミッタはノードN8に連結されるPNダイオード機能をする。また、しきい値電圧レベルを維持するビットラインプリチャージレベル供給部の出力端により第8NMOSTランジスタMN8がオンとなるので、ノードN7の電圧は低くなる。ノードN7の電圧が低くなると、第7NMOSTランジスタMN7のオン抵抗が増加し、ビットラインプリチャージレベル供給部の出力端に印加される電流は減少する。したがって、第7、第8、第9NMOSTランジスタMN7、MN8、MN9と第3PMOSTランジスタMP3、そしてPNダイオードとして動作するバイポーラトランジスタPNP1のフィードバックループを利用してしきい値電圧水準の出力電圧が得られる。ここで、第4、第5、第6NMOSTランジスタMN4、MN5、MN6と第4、第5PMOSTランジスタMP4、MP5が増幅部を構成するので、ノードN4の信号は第4、第5NMOSTランジスタMN4、MN5のゲート入力によって増幅される。

【0036】このように動作する本発明によるビットラインプリチャージレベル供給部において、ノードN3の電圧がいかに出力端（ビットラインプリチャージレベル供給部の出力端）の電圧と同じくなるかについて調べてみる。

【0037】ノードN3の電圧が第4NMOSTランジスタMN4のゲート入力に使用され、本回路の出力端電圧は第5NMOSTランジスタMN5のゲート入力に使用される。もし、ノードN3の電圧が出力端の電圧より大きければ、ノードN4の電圧は小さくなりノードN5の電圧は大きくなる。小さくなったノードN4の電圧は、第9NMOSTランジスタMN9にフィードバックされ、第9NMOSTランジスタMN9のオン抵抗を大きくするので、出力端に放出される電流量は減少し、結局出力端のレベルを上昇させる。もし、ノードN3の電圧が出力端の電圧より小さければ、ノードN5の電圧は小さくなりノードN4の電圧は大きくなる。大きくなったノードN4の電圧は、第9NMOSTランジスタMN9にフィードバックされ、第9NMOSTランジスタMN9のオン抵抗を小さくするので、出力端に放出される電流量が増加し、結局出力端のレベルを減少させる。この際、出力端のレベルが過度に減少することを防ぐために、PNダイオードで動作するバイポーラトランジスタPNP1がノードN8と接地端との間に構成される。すなわち、PNダイオードのしきい値電圧以下ではPNダ

イオードがオフとなり、電流の放出を防ぐ。

【0038】一方、図16aは本発明による参照センスアンプの簡略化された構成ブロック図である。図16aに示すように、参照ビットラインコントローラとして構成される参照センスアンプは、参照グローバルビットラインBLRG₂の信号を受けてその信号のレベルをシフトし、メインセンスアンプ75₁、75₂、...に印加される参照電圧CREFを出力するレベルシフター80と、参照グローバルビットラインBLRG₂の信号を受けて参照ビットラインをプルダウンさせるプルダウンコントローラ80aとで構成される。

【0039】一方、図16aに示すように、レベルシフター80を利用してレベルをシフトし、メインセンスアンプに印加される参照電圧を出力する方法以外に、図16bに示すように、レベルシフターを使用せず、参照グローバルビットラインの信号をそのまま参照電圧CREFとして使用することも可能である。

【0040】図16bのように、レベルシフターを使用しなくてもよいのは、大容量を要求しないICカードなどの数百ビット以下を用いる場合であって、センスアンプの数もまた多くなく、ハイ信号でも十分な参照電圧が作られる場合である。しかし、図16aのように、センスアンプの数が多い場合には、レベルシフターを利用し、ロー信号で参照電圧を作る。ここで、図16aに図示されたレベルシフターをより詳細に説明する。

【0041】図17は、図16aに図示されたレベルシフターの詳細構成図である。図17に示すように、レベルシフターをイネーブルさせるイネーブル信号LSENによりコントロールされ、ソースが電源端Vccに連結された第1PMOSトランジスタMP1と、第1PMOSトランジスタMP1のドレインから分岐接続された第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3と、参照グローバルビットラインによりコントロールされ、第2PMOSトランジスタMP2と連結された第1NMOSトランジスタMN1と、第1NMOSトランジスタMN1と第3PMOSトランジスタMP3の間に構成された第2NMOSトランジスタMN2と、第1NMOSトランジスタMN1と接地端Vssの間に構成された第3NMOSトランジスタMN3と、第1PMOSトランジスタMP1と前記第2NMOSトランジスタMN2の間で第3PMOSトランジスタMP3と並列的に形成された第4PMOSトランジスタMP4と、第3PMOSトランジスタMP3の出力信号によりコントロールされ、ドレインが第1PMOSトランジスタMP1に連結される第4NMOSトランジスタMN4と、接地端と第4NMOSトランジスタMN4の間に形成された第5NMOSトランジスタMN5と、第1PMOSトランジスタMP1と出力端CREFの間に形成された第5PMOSトランジスタMP5と、グローバルビットラインの信号によりコントロールされる第6NMOS

トランジスタMN6と、第6NMOSトランジスタMN6と第1PMOSトランジスタMP1の間に形成された第6PMOSトランジスタMP6と、ゲートが第6PMOSトランジスタMP6のゲートと共通に連結され、ソースは第1PMOSトランジスタMP1のドレインに連結される第7PMOSトランジスタMP7と、第6NMOSトランジスタMN6のソースとソースが共通に接続され、ドレインが第7PMOSトランジスタMP7のドレインに接続され、ゲートが出力CREFに接続された第7NMOSトランジスタMN7と、接地端Vssと第6NMOSトランジスタMN6、第7NMOSトランジスタMN7の間に連結される第8NMOSトランジスタMN8とを含む。

【0042】以下、このように構成されたレベルシフターの動作を説明する。図17で第1PMOSトランジスタMP1のゲートに印加される信号LSENはレベルシフターを活性化させるための信号である。すなわち、活性化信号LSENが動作時ローに遷移し、信号CREFを出力する。そして、チップが非活性化時にはLSEN信号をハイとして電流の流れを遮断する。LSENがローに遷移すると、第1PMOSトランジスタMP1が活性化され、ノードN1をハイレベルとさせる。最初にノードN3がローであれば、第4PMOSトランジスタMP4がオンとなり、ノードN3のレベルも上昇する。したがって、第4NMOSトランジスタMN4がオンとなって出力端CREFのレベルも上昇するが、出力端のレベルは参照グローバルビットラインBLRG₂の電圧と同じか或いは小さくすることができる。ここで、第1、第2、第3NMOSトランジスタMN1、MN2、MN3と第2、第3PMOSトランジスタMP2、MP3が一つの増幅部を構成するので、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2の入力に従ってノードN3の出力が増幅される。

【0043】第6、第7、第8NMOSトランジスタMN6、MN7、MN8と第6、第7PMOSトランジスタMP6、MP7も一つの増幅部を構成するので、第6NMOSトランジスタMN6と第7NMOSトランジスタMN7の入力に従ってノードN5の出力が増幅される。ここで、第1、第5NMOSトランジスタMN1、MN5のサイズが第2、第7NMOSトランジスタMN2、MN7より大きければ、出力端CREFの電圧を、グローバルビットライン電圧より素子の大きさの差に比例して大きくすることができる。逆に、第1、第6NMOSトランジスタMN1、MN6のサイズが第2、第7NMOSトランジスタMN2、MN7より小さければ、出力端CREFの電圧をグローバルビットライン電圧より素子の大きさの差に比例して小さくすることができる。そして、第1、第2NMOSトランジスタMN1、MN2のサイズと第2、第7NMOSトランジスタMN2、MN7のサイズが同一であれば、出力端の電圧をグ

ローバルビットラインの電圧と同じくすることができる。

【0044】ここで、前記第1、第6NMOSトランジスタMN1、MN6と第2、第7NMOSトランジスタMN2、MN7のサイズが同一である場合のレベルシフターの動作を説明する。

【0045】まず、グローバルビットラインBLRG-2の電圧が出力端CREFより大きい場合、第1、第2NMOSトランジスタMN1、MN2によってノードN2の電圧は小さくなり、ノードN3の電圧は大きくなる。大きくなったノードN3の電圧は第4NMOSトランジスタMN4にフィードバックされ、第4NMOSトランジスタMN4のオン抵抗を小さくするので、出力端CREFに流入される電流が増加し、結局、出力端の電圧を上昇させる。

【0046】以後、第6、第7NMOSトランジスタMN6、MN7によってノードN5の電圧は小さくなり、ノードN6の電圧は大きくなる。小さくなったノードN5の電圧は第5NMOSトランジスタMN5と第5PMOSトランジスタMP5にフィードバックされ、第5NMOSトランジスタMN5のオン抵抗を小さくするので、出力端に流入される電流が増加し、結局、出力端の電圧を上昇させる。したがって、第4NMOSトランジスタMN4と第5PMOSトランジスタMP5によって電圧上昇が早く起こるようにする。

【0047】もし、グローバルビットラインの電圧が出力端CREFの電圧より小さい場合、第1NMOSトランジスタMN1と第2NMOSトランジスタMN2によってノードN2の電圧は大きくなり、ノードN3の電圧は小さくなる。小さくなったノードN3の電圧は第4NMOSトランジスタMN4にフィードバックされ、第4NMOSトランジスタMN4のオン抵抗を大きくするので、出力端CREFに流入される電流量は減る。したがって、出力端CREFの電圧を減少させる。

【0048】以後、第6NMOSトランジスタMN6と第7NMOSトランジスタMN7によってノード5の電圧は大きくなり、ノード6の電圧は小さくなる。大きくなったノードN5の電圧は第5NMOSトランジスタMN5と第5PMOSトランジスタMP5にフィードバックされ、第5NMOSトランジスタMN5のオン抵抗を小さくし、第5PMOSトランジスタMP5のオン抵抗を大きくする。したがって、出力端CREFに流入される電流量が減り、結果的に出力端の電圧を下降させる。このように第5NMOSトランジスタMN5によって電圧下降が早く起こる。

【0049】図18は本発明によるセンスアンプの第1実施形態を詳細に示した。まず、前述した図8aの構成が反復されることから成される図8bのように、ビットラインコントローラ75は二つのメインセルアレイ部71の間に構成される。したがって、メインビットライン

コントローラ75を構成しているセンスアンプは、上部のメインセルアレイ部71と下部のメインセルアレイ部71のデータを全てセンシングできるように構成するのが望ましい。すなわち、上部のメインセルアレイ部と下部のメインセルアレイ部が一つのビットラインコントローラを共有できるように構成する。

【0050】図面でBLGTは上部のセルアレイ部と連結されるメイングローバルビットラインであり、BLGBは下部のセルアレイ部と連結されるメイングローバルビットラインである。そして、CREFは上部の参照セルと連結される参照グローバルビットラインであり、CREFBは下部の参照セルと連結される参照グローバルビットラインである。

【0051】その構成を見ると、ソースがBLGT及びBLGBに連結された第1NMOSトランジスタMN1と、ソースがCREF及びCREFBに連結され、ゲートは第1NMOSトランジスタMN1のゲートに共通連結された第2NMOSトランジスタMN2と、第1NMOSトランジスタMN1を介して入るBLGT又はBLGB信号を増幅する第3NMOSトランジスタMN3と、第2NMOSトランジスタMN2を介して入るCREF又はCREFB信号を増幅する第4NMOSトランジスタMN4と；ソースがそれぞれ電源端Vccに連結され、ドレインが第1NMOSトランジスタMN1の出力端と第2NMOSトランジスタMN2の出力端にそれぞれ連結される第1PMOSトランジスタMP1及び第2PMOSトランジスタMP2（第1PMOSトランジスタのドレインは第2PMOSトランジスタのゲートに連結され、前記第2PMOSトランジスタのドレインは第1PMOSトランジスタのゲートに連結される）と、センスアンプ等化信号SAEQによって第1NMOSトランジスタMN1の出力端と第2NMOSトランジスタMN2の出力端を等しくさせる第3PMOSトランジスタMP3とを含む。ここで、第1NMOSトランジスタMN1のソースとBLGTの間に第5NMOSトランジスタMN5が構成され、第1NMOSトランジスタMN1のソースとBLGBの間に第6NMOSトランジスタMN6がさらに構成される。

【0052】また、第2NMOSトランジスタMN2のソースとCREFの間に第7NMOSトランジスタMN7が構成され、第2NMOSトランジスタMN2のソースとCREFBの間に第8NMOSトランジスタMN8がさらに配置される。そして、カラム選択信号COLSELによりデータバス(Data Bus)とセンスアンプの出力端を選択的にスイッチングする第9NMOSトランジスタMN9と、データバース(Data Bar Bus)とセンスアンプの出力端をスイッチングする第10NMOSトランジスタMN10とがさらに配置される。ここで、第5NMOSトランジスタMN5はセンスアンプとBLGT間のスイッチングを担当し、第

6 NMOS トランジスタ MN 6 はセンスアンプと BLG B 間のスイッチングを担当する。そして、第 7 NMOS トランジスタ MN 7 はセンスアンプと CREF 間のスイッチングを担当し、第 8 NMOS トランジスタ MN 8 はセンスアンプと CREF B 間のスイッチングを担当する。

【0053】このように構成されたセンスアンプの第 1 実施形態の動作を説明する。以下で説明するセンスアンプの第 1 実施形態による動作の説明は、上部のメインセルに記憶されたデータをセンシングする場合に当たる。すなわち、図 18 に示すように、第 5 NMOS トランジスタ MN 5 を活性化させる活性化信号 BSEL と第 7 NMOS トランジスタ MN 7 を活性化させる活性化信号 RSEL により第 5、第 7 NMOS トランジスタ MN 5、MN 7 が活性化されると、第 6、第 8 NMOS トランジスタ MN 6、MN 8 は不活性化状態になる。

【0054】逆に、第 6、第 8 NMOS トランジスタ MN 6、MN 8 が活性化されると、第 5、第 7 NMOS トランジスタ MN 5、MN 7 は不活性化状態になる。センスアンプが初期の増幅期間にはカラム選択信号 COLSEL により不活性化され、外部のデータバスとセンスアンプの内部ノードは断絶される。この際、センスアンプを活性化させるために、センスアンプ等化信号 SAEQ によってノード SN 3 とノード SN 4 を等電位とする。

【0055】初期には、第 1 NMOS トランジスタ MN 1 と第 2 NMOS トランジスタ MN 2 は不活性化状態を維持する。以後、ノード SN 3 と SN 4 が等電位となると、メインセルのデータは上部のグローバルビットライン BLGT に伝達される。そして、第 5 NMOS トランジスタ MN 5 を介してノード SN 1 に伝達される。参照電圧は CREF に伝達され、以後、第 7 NMOS トランジスタ MN 7 を介してノード SN 2 に伝達される。メインセルのデータと参照電圧がそれぞれノード SN 1 と SN 2 に十分伝達されてから、センスアンプの参照電圧を接地電圧に遷移させる。これによって、ノード SN 1 とノード SN 2 の電圧差だけに第 3 NMOS トランジスタ MN 3 のゲート電圧と第 4 NMOS トランジスタ MN 4 のゲート電圧の差が生じる。したがって、第 3 NMOS トランジスタ MN 3 に流れる電流と第 4 NMOS トランジスタ MN 4 に流れる電流も差が発生し、この状態で増幅が始まると、増幅電圧はノード SN 3 と SN 4 の電圧差として表れる。

【0056】ノード SN 3 と SN 4 に誘起されるそれぞれの電圧は第 1 PMOS トランジスタ MP 1 と第 2 PMOS トランジスタ MP 2 により再び増幅される。第 1 PMOS トランジスタ MP 1 と第 2 PMOS トランジスタ MP 2 で十分に増幅された後、第 5、第 7 NMOS トランジスタ MN 5、MN 7 を不活性化させる。

【0057】また、第 1、第 2 NMOS トランジスタ MN 1、MN 2 を活性化させ、ノード SN 3 と SN 4 の増

幅電圧を再び SN 1 と SN 2 にフィードバックして増幅を維持し続ける。この際、フィードバックループが完了されると、第 9、第 10 NMOS トランジスタ MN 9、MN 10 を活性化させ、外部のデータバス及びデータバスとセンスアンプとのデータ伝達が行われるようにする。

【0058】また、第 5 NMOS トランジスタ MN 5 を再び活性化させ、ノード SN 1 の電圧を BLGT に伝達させ、メインセルにフィードバックして再記憶できるようにする。このようなセンスアンプの動作によれば、第 3 NMOS トランジスタ MN 3 と第 4 NMOS トランジスタ MN 4 が第 1 増幅部 100 を構成し、第 1 PMOS トランジスタ MP 1 と第 2 PMOS トランジスタ MP 2 が第 2 増幅部 103 を構成する。ここで、未説明符号 SEN はセンスアンプ活性化信号で、ローアクティブ信号であり、SALE 信号は第 1 NMOS トランジスタ MN 1 と第 2 NMOS トランジスタ MN 2 を活性化させる信号で、ハイアクティブ信号である。

【0059】一方、図 19 は本発明のセンスアンプの第 2 実施形態を示した。第 1 実施形態によるセンスアンプと比べて第 2 増幅部 103 が異なっている。すなわち、第 1 実施形態による第 2 増幅部 103 は、PMOS の第 1、第 2 トランジスタで構成され、第 1 トランジスタのドレインが第 2 トランジスタのゲートに連結され、第 2 トランジスタのドレインは第 1 トランジスタのゲートに連結される構成となっていた。

【0060】それに対して、第 2 実施形態による第 2 増幅部 103 はラッチ回路で構成される。すなわち、PMOS と NMOS で構成される第 1 インバータ 103a 及び第 2 インバータ 103b で構成されるが、第 1 インバータ 103a を構成している PMOS 及び NMOS トランジスタの共通ゲートは、第 2 インバータ 103b を構成している PMOS トランジスタのドレインに連結される。そして、第 2 インバータ 103b を構成している PMOS 及び NMOS トランジスタの共通ゲートは、第 1 インバータ 103a を構成している PMOS トランジスタのドレインに連結される。この第 2 増幅部 103 を除いた他の部分は第 1 実施形態によるセンスアンプと同一であるので説明を省略する。第 1 実施形態の図面の部号と第 2 実施形態の図面の符号は同一に示した。

【0061】以下、前記のように構成されたセンスアンプの第 2 実施形態による動作を説明する。前述した第 1 実施形態のセンスアンプと同様に、センスアンプの上部側に位置したセルアレイと下部側に位置したセルアレイのいずれか一方のみが活性化される。すなわち、上部側に位置したセルアレイが活性化されると、第 5 NMOS トランジスタ MN 5 が活性化され、センスアンプは上部側に位置したセルアレイ部からデータが伝達されるメイングローバルビットライン BSGT に連結され、第 7 NMOS トランジスタ MN 7 が活性化され、センスアンプ

は参照グローバルビットラインを介して参照電圧CRE Fを受ける。

【0062】また、下部側に位置したセルアレイが活性化されると、第6NMOSトランジスタMN6が活性化され、センスアンプは下部側に位置したセルアレイ部からデータが伝達されるメイングローバルビットラインB SGBに連結され、第8NMOSトランジスタMN8が活性化され、センスアンプは参照電圧RCRE FBを受ける。

【0063】図19でSEN信号はセンスアンプを活性化させる信号であり、SAEQ信号はノードSN3とSN4を等電位にする信号であって、SAEQ信号により動作するトランジスタは、図面のように、PMOSTランジスタで構成することもでき、またはNMOSTランジスタで構成することもできる。

【0064】このような第1、第2実施形態によるセンスアンプの動作タイミング図を図20と図21及び図22にそれぞれ示した。すなわち、図20は本発明の第1、第2実施形態によるセンスアンプの動作タイミング図であり、図21は読出しモードにおけるセンスアンプの動作タイミング図である。そして、図22は書き込みモードにおけるセンスアンプの動作タイミング図である。

【0065】図21によれば、第1スプリットワードラインSWL1と第2スプリットワードラインSWL2ともにハイである区間で、図18に示した第1、第2NMOSTランジスタMN1、MN2を活性化させる信号SALEがハイレベルに遷移されると、カラム選択信号が順次にハイレベルに遷移される。ここで、カラム選択信号の遷移動作は、t10区間まで順次に行われる。

【0066】このような読出しモードとは異なって書き込みモードの場合には、図22に示すように、カラム選択信号の遷移動作が第1スプリットワードラインSWL1と第2スプリットワードラインSWL2ともにハイである区間のt6～t7区間内でのみ順次に行われる。すなわち、カラム選択信号COLSEL1、COLSEL2、COLSEL3、... COLSELnは第1、第2スプリットワードラインSWL1、SWL2がともにハイである区間で、図18に図示した第1、第2NMOSTランジスタMN1、MN2を活性化させる信号SALEがハイレベルに遷移されると、t6～t7区間内では順次に遷移される。このように、カラム選択信号が全て遷移されると、第1スプリットワードラインSWL1はローに遷移され、第1スプリットワードラインSWL1がローからハイに再び遷移時、第2スプリットワードラインSWL2はローに遷移される。

【0067】一方、図23は本発明の第2実施形態による不揮発性強誘電体メモリ装置によるセルアレイの構成図である。図23に示したセルアレイを図8aと比べると、メインビットラインコントローラや参照ビットラインコントローラがメインセルアレイ部の下側にのみなら

ず、上側にも構成されていることが分かる。これはレイアウトをより効率的に利用するためである。すなわち、図23に示すように、メインセルアレイ部201、メインセルアレイ部201の上側と下側とにそれぞれ配置された第1メインビットラインコントローラ203aと第2メインビットラインコントローラ203b、メインセルアレイ部201の右側に配置されたスプリットワードライン駆動部205、第1、第2メインビットラインコントローラ203a、203bの右側に配置された第1参照ビットラインコントローラ207aと第2参照ビットラインコントローラ207bで構成される。

【0068】図24は前記の構成をメインセルアレイ部を中心により詳細に示したものである。図24に示すように、メインセルアレイ部201に構成されたメイングローバルビットラインのうち、奇数番目メイングローバルビットラインBLG_n、BLG_{n+2}、BLG_{n+4}、... は下側に構成された第2メインビットラインコントローラ203bに連結され、偶数番目メイングローバルビットラインBLG_{n+1}、BLG_{n+3}、BLG_{n+5}、... は上側に構成された第1メインビットラインコントローラ203aに連結される。そして、参照グローバルビットラインBLRG₁、BLRG₂は、メインセルアレイ部201の上、下側に形成された参照ビットラインコントローラ207a、207bと連結されるが、この参照ビットラインコントローラ207a、207bは二つの参照グローバルビットラインBLRG₁、BLRG₂からの信号を受け取る。

【0069】また、前述したように、メインセルアレイ部201は複数のサブセルアレイ部201₁、201₂、... で構成される。各サブセルアレイ部にはメイングローバルビットラインに対応してメインローカルビットラインが構成されるが、1本のメイングローバルビットラインBRG_nに複数のメインローカルビットラインBLL1_n、BLL2_n、... BLLn_nが配置される。そして、参照グローバルビットラインBLRG₁、BLRG₂にも参照ローカルビットラインが配置されるが、1本の参照グローバルビットラインBLRG₁に複数の参照ローカルビットラインBLLR1₁、BLLR2₁、... BLLRn₁が配置されている。ここで、各サブセルアレイ部ごとに形成されたメインローカルビットラインは、メイングローバルビットラインとスイッチング素子SW11～SWnnを介して連結又は断絶される。したがって、スイッチング素子が選択的にオン/オフとなるに従ってメインローカルビットラインがメイングローバルビットラインと連結される。ここで、任意のサブセルアレイ部、例えば一番目サブセルアレイ部2011内のスイッチング素子SW11、SW12、SW13、... SW1nのうち、ターンオンされた任意のスイッチング素子が奇数

番目メイングローバルビットラインBLG_n又はBLG_{n+2}又はBLG_{n+4}, . . . に連結されていると、そのメインローカルビットラインのデータは第2メインビットラインコントローラ203b内のメインセンスアンプ（図示しない）に伝達される。もし、偶数番目メイングローバルビットラインBLG_{n+1}又はBLG_{n+3}又はBLG_{n+5}, . . . に連結されていれば、第1メインビットラインコントローラ203a内の参照センスアンプ（図示しない）にデータが伝達される。

【0070】図25は図23の構成のうち、第1メインビットラインコントローラ及び第1参照ビットラインコントローラを中心により詳細に示したものである。図25に示すように、第1参照ビットラインコントローラ207aには一つの参照センスアンプ204aが配置され、第1メインビットラインコントローラ203aには偶数番目メイングローバルビットラインBLG_{n+1}, BLG_{n+3}, BLG_{n+5}, . . . とにメインセンスアンプ206_{n+1}, 206_{n+3}, 206_{n+5}, . . . が構成されている。そして、奇数番目メイングローバルビットラインBLG_n, BLG_{n+2}, BLG_{n+4}, . . . は第2メインビットラインコントローラ（図示しない）に連結されるので、第2メインビットラインコントローラにもメインセンスアンプ（図示しない）が配置されている。

【0071】また、図13に図示した本発明の第1実施形態と同様に、隣接したメイングローバルビットラインの間にはビットラインプリチャージ回路部208a₁, 208a₂, . . . がそれぞれ構成される。そして、メイングローバルビットラインのうち、最後のメイングローバルビットラインと参照センスアンプ204aに連結される参照グローバルビットラインBLRG₂の間にもビットラインプリチャージ回路部210aが接続される。ここで、第1参照ビットラインコントローラ207aは2本の参照グローバルビットラインBLRG₁, BLRG₂が接続されるが、このうち1本は参照センスアンプ204aに連結され、他の1本は一定の電圧が印加される。

【0072】また、第1メインビットラインコントローラ203a内のメインセンスアンプ206_{n+1}, 206_{n+3}, . . . には参照センスアンプ204aから提供される参照電圧CREFが共通に印加される。

【0073】図26は図23の構成のうち、第2メインビットラインコントローラ及び第2参照ビットラインコントローラを中心により詳細に示したものである。図26に示すように、第2メインビットラインコントローラ203bや第2参照ビットラインコントローラ207bの構成は、前述した第1メインビットラインコントローラ203a及び第1参照ビットラインコントローラ207aの構成と同一である。すなわち、第2参照ビットラ

インコントローラ207bには一つの参照センスアンプ204bが配置され、第2メインビットラインコントローラ203bには奇数番目メイングローバルビットラインBLG_n, BLG_{n+2}, . . . ごとにメインセンスアンプ206_n, 206_{n+2}, . . . が接続される。参照センスアンプ204bには1本の参照グローバルビットラインBLRG₂が連結され、他の一つには一定の電圧が印加される。そして、隣接したメイングローバルビットラインの間にはビットラインプリチャージ回路部208b₁, 208b₂, . . . が接続され、メインセンスアンプ206_n, 206_{n+2}, . . . には参照センスアンプ204bから提供される参照電圧（CREF）が共通に印加される。ここで、図示しては無いが、本発明の第2実施形態によるサブセルアレイ部の詳細構成は、本発明の第1実施形態で説明した図11と同一であるので、以下省略する。そして、本発明の第2実施形態の不揮発性メモリ装置によるセンスアンプ及びレベルシフター、ビットラインプリチャージレベル供給部の構成は、前述した本発明の第1実施形態と同一である。

【0074】

【発明の効果】本発明は、参照セルとメインセルのアクセスされる回数が同一であるので、参照セルの過度なアクセスによる熱化を防止でき、素子の寿命を延長することができる。

【0075】また、請求項8の発明は、ビットラインのプリチャージレベルを、NMOSトランジスタのしきい値電圧のレベルに供給するビットラインプリチャージレベル供給部を構成し、ビットラインのプリチャージレベルを接地電圧とすることに比べより効率的にセンスアンプを利用することができる。

【0076】請求項9の発明は、ビットラインの数が少ない場合、すなわち、センスアンプの数が少ない場合は関係ないが、一つのセルアレイ内に多数のビットラインを構成する場合には、センスアンプの数も多くなるので、センスアンプで必要とするレベルをレベルシフターを介して供給することができる。

【0077】請求項10乃至請求項17の発明は、MN3とMN4によりデータを1次増幅する時、SN1とSN3がMN1により分離され、SN2とSN4がMN2により分離されているため、前記MN3とMN4により1次増幅時ビットラインと断絶されている状態を維持し、隣接したビットラインと参照ラインによるクロスカップリングを最小にするので、ノイズを最小にすることができる。以後、MN1とMN2をターンオンすると、ノイズを最大限除去したデータ信号がラッチ増幅動作を行い、安定したデータでセンシングできる。

【図面の簡単な説明】

【図1】 一般的な強誘電体のヒステリシスループを示す特性図である。

【図 2】 従来技術の不揮発性強誘電体メモリ素子による単位セル構成図である。

【図 3】 従来の強誘電体メモリ素子を駆動するための駆動回路である。

【図 4】 従来の技術による強誘電体メモリ素子の書き込みモード (write mode) の動作を示すタイミング図である。

【図 5】 読出しモード (read mode) の動作を示すタイミング図である。

【図 6】 二つの単位セルからなる本発明の不揮発性強誘電体メモリセルの構成図である。

【図 7】 図 6 に図示したメモリセルを 1T/1C 構造の単位セルで分離して示す図面である。

【図 8】 本発明の第 1 実施形態による不揮発性強誘電体メモリ装置によるセルアレイを示すブロック構成図 (a) と 8 a の構成を繰り返して配列した場合のセルアレイを示すブロック構成図 (b) である。

【図 9】 本発明によるメインセルアレイ部の詳細構成図である。

【図 10】 図 9 の詳細構成図である。

【図 11】 本発明によるサブセルアレイ部をより詳細に示す図面である。

【図 12】 図 8 a の詳細構成図である。

【図 13】 図 8 a の構成ブロックのうち、メインビットラインコントローラと参照ビットラインコントローラを中心により詳細に示す図面である。

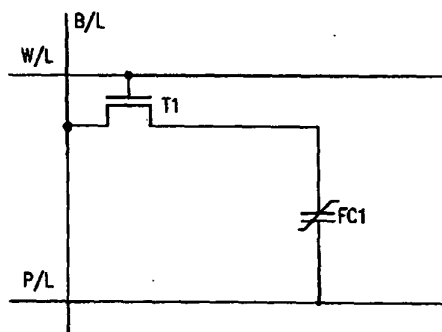
【図 14】 本発明の第 1 実施形態によるビットラインプリチャージ回路部をより詳細に示す図面である。

【図 15】 ビットラインプリチャージレベルを供給するビットラインプリチャージレベル供給部の詳細構成図である。

【図 16】 本発明による参照センスアンプを簡略化した構成ブロック図 (a) と、本発明による参照センスアンプの他の実施形態の構成ブロック図 (b) である。

【図 17】 図 16 に示したレベルシフターの詳細構成図である。

【図 2】



【図 18】 本発明によるセンスアンプの第 1 実施形態を詳細に示す図面である。

【図 19】 本発明のセンスアンプによる第 2 実施形態を示す図面である。

【図 20】 本発明の第 1, 第 2 実施形態によるセンスアンプの動作タイミング図である。

【図 21】 読出しモード時センスアンプの動作タイミング図である。

【図 22】 書き込みモード時センスアンプの動作タイミング図である。

【図 23】 本発明の第 2 実施形態による不揮発性強誘電体メモリ装置によるセルアレイの構成図である。

【図 24】 図 23 の構成のうち、メインセルアレイ部を中心により詳細に示す図面である。

【図 25】 図 23 の構成のうち、第 1 メインビットラインコントローラおよび第 1 参照ビットラインコントローラを中心により詳細に示す図面である。

【図 26】 図 23 の構成のうち、第 2 メインビットラインコントローラおよび第 2 参照ビットラインコントローラを中心により詳細に示す図面である。

【符号の説明】

71, 201 メインセルアレイ部

73 スプリットワードライン駆動部

75 メインビットラインコントローラ

77 参照ビットラインコントローラ

71_1, 71_2, 71_3, ... サブセルアレイ部

75_1, 75_2, ... メインセンスアンプ

77a 参照センスアンプ

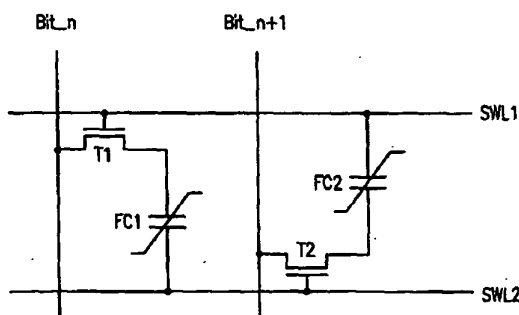
78_1, 78_2, ... ビットライン等化スイッチ部

79_1, 79_2, ... ビットラインプリチャージスイッチング部

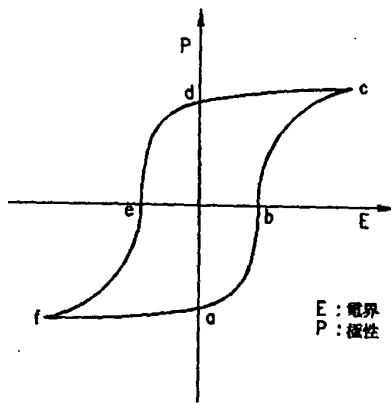
100 第 1 増幅部

103 第 2 増幅部

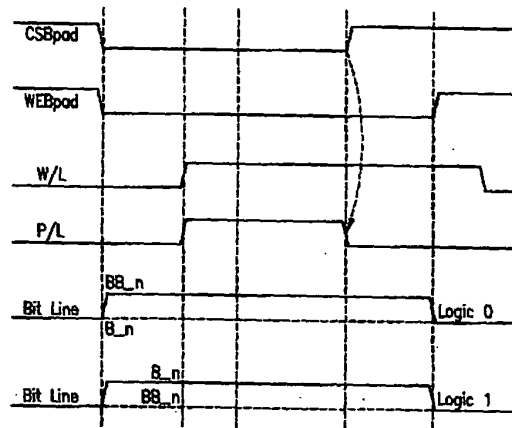
【図 6】



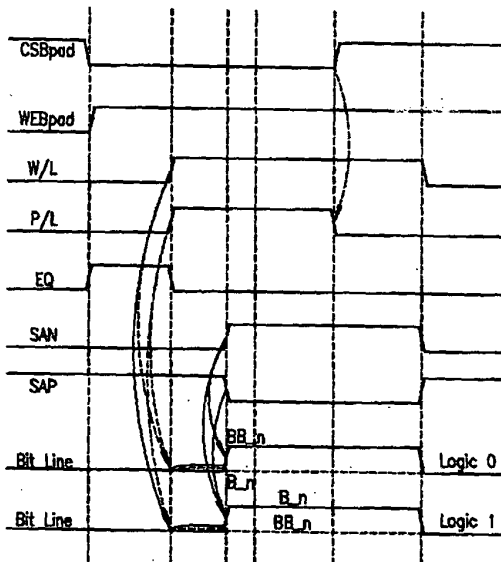
【図 1】



【図 4】

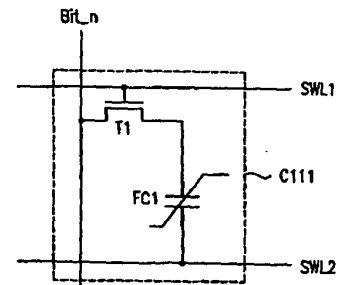


【図 5】

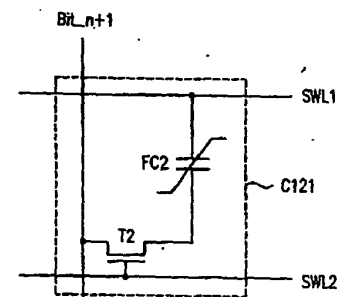


【図 7】

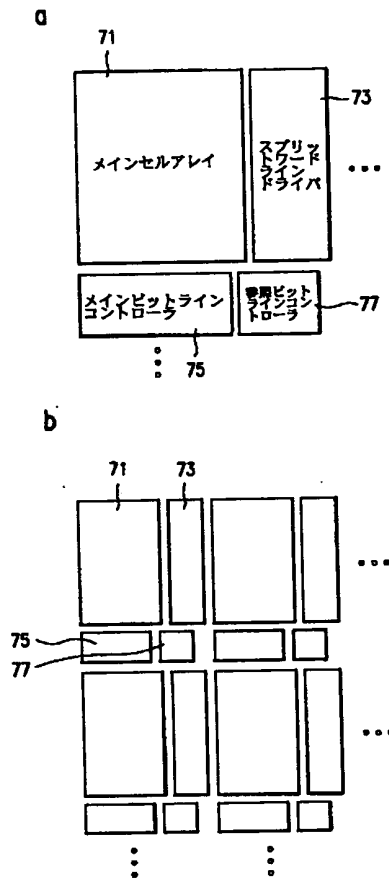
a



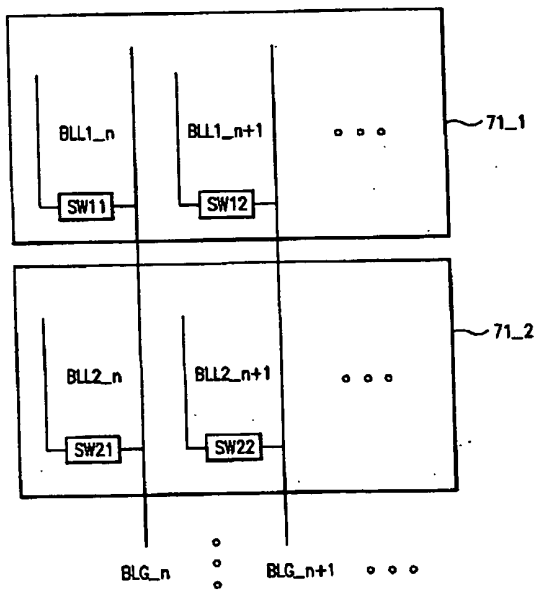
b



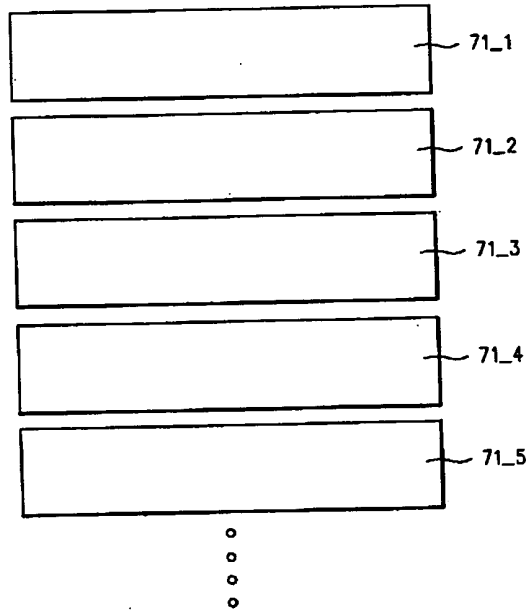
【図 8】



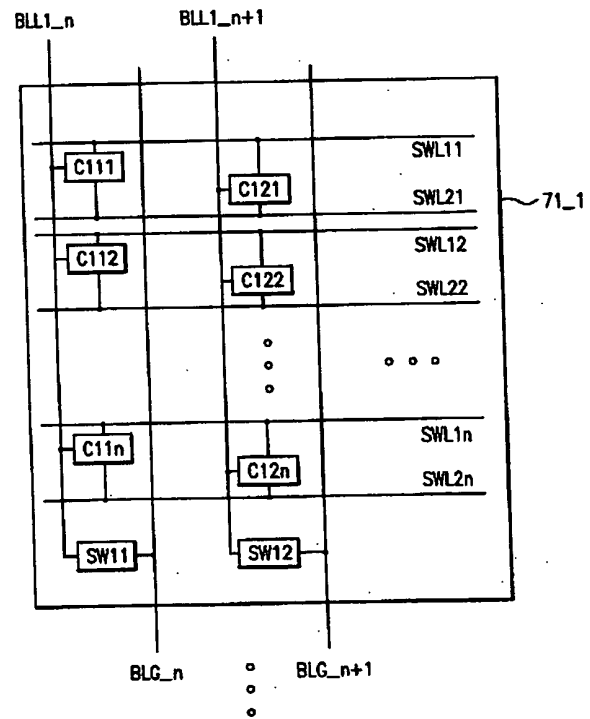
【図 10】



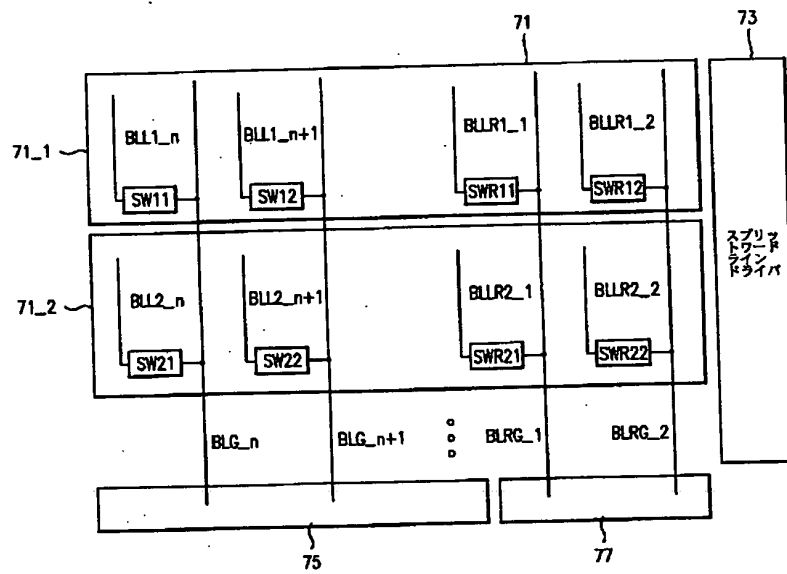
【図 9】



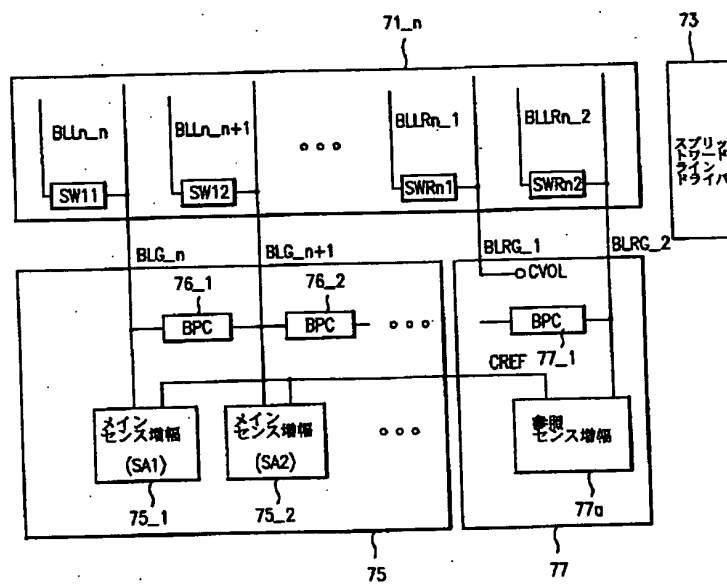
【図 11】



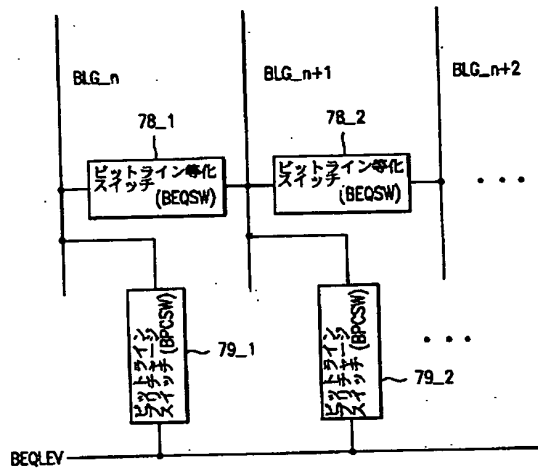
【図 12】



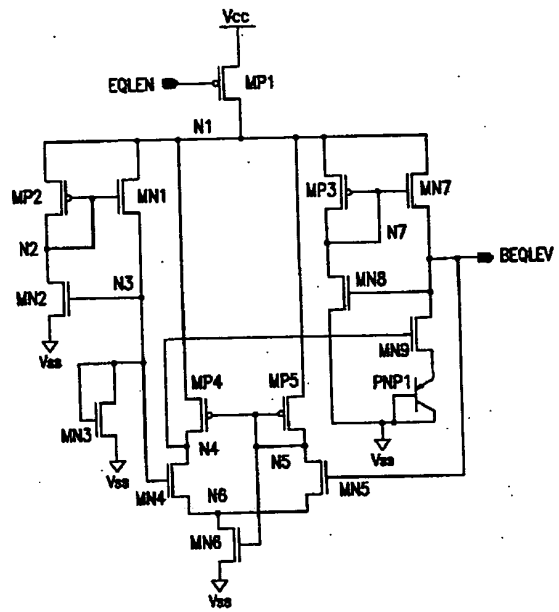
【図 13】



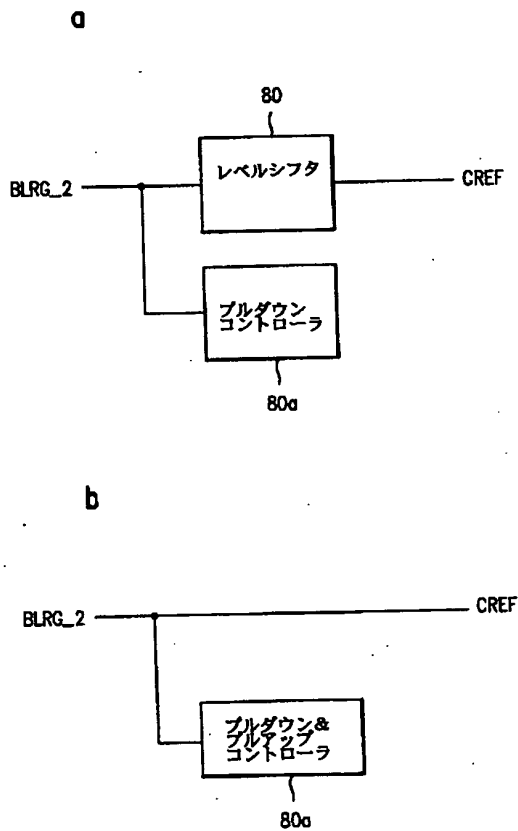
【図14】



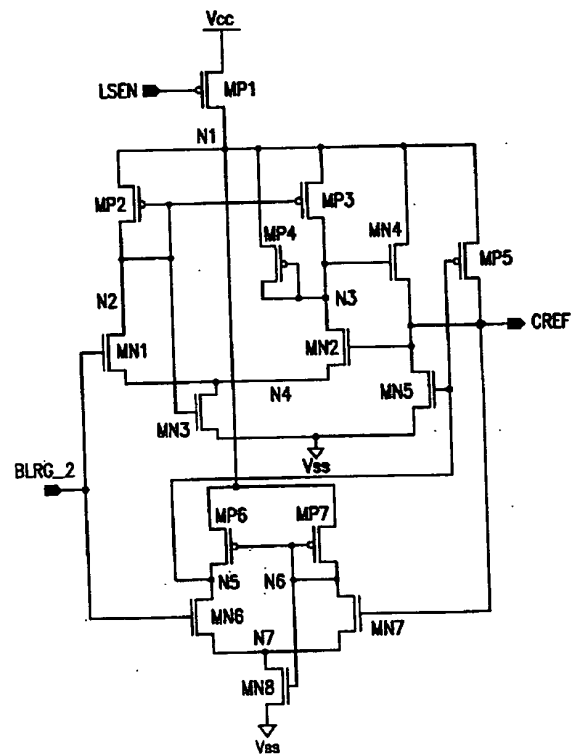
【図15】



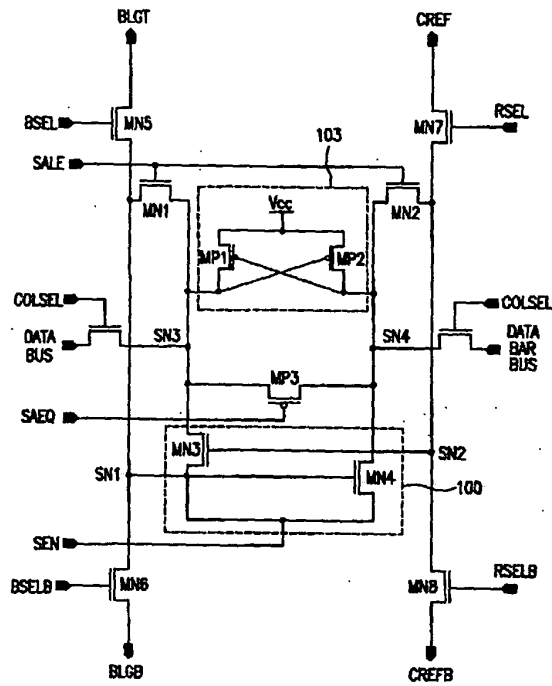
【図16】



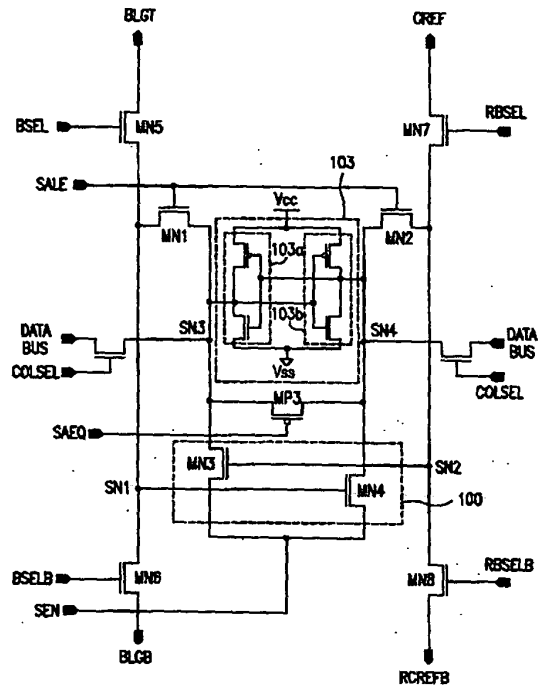
【図17】



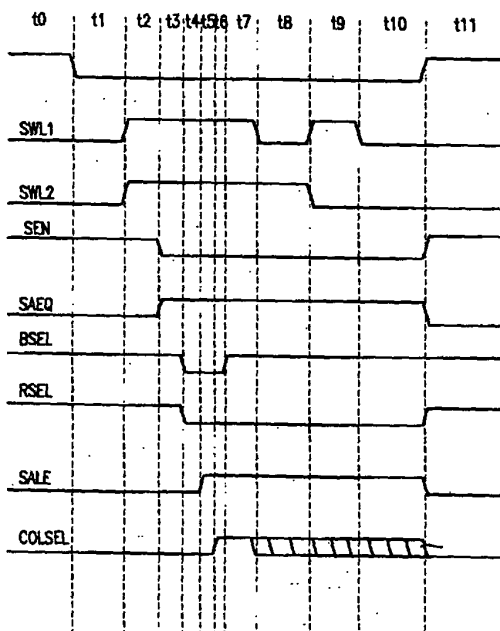
【図 18】



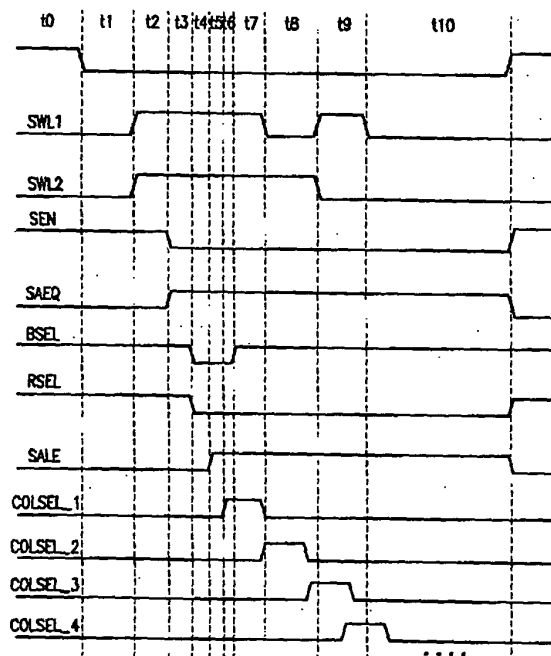
【図 19】



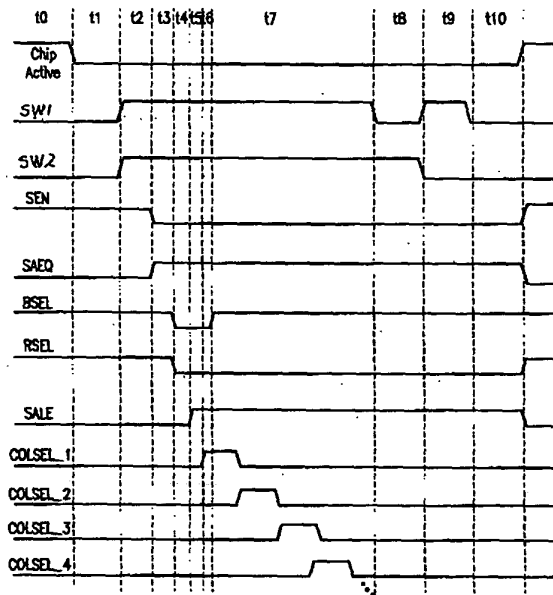
【図 20】



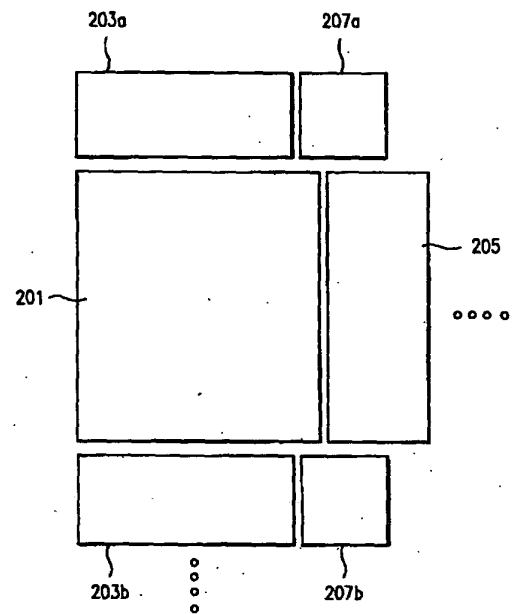
【図 21】



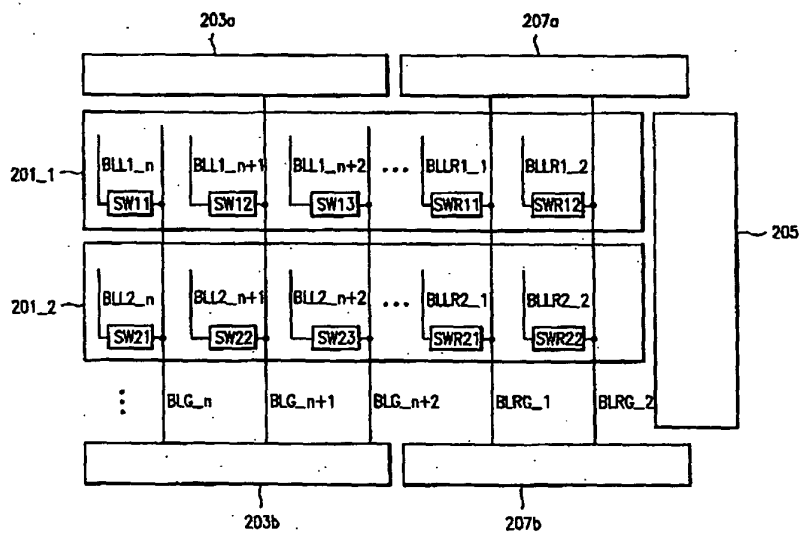
【図 22】



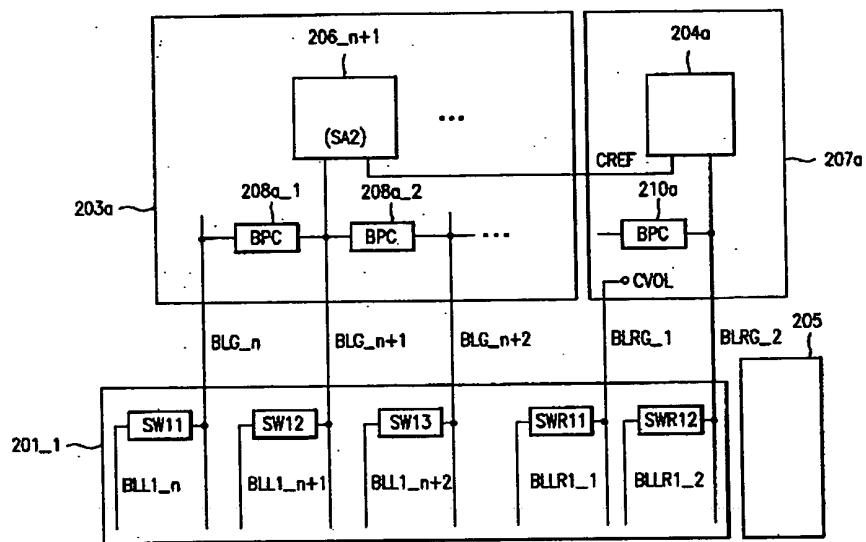
【図 23】



【図 24】



【図 25】



【図 26】

